

SYNTHESE DE FREQUENCE A PLL

SYNTHESE DE FREQUENCE A PLL

	page
1. INTRODUCTION	1
2. SYNTHESE INDIRECTE A PLL	
2.1 PRINCIPE DE BASE	1
2.2 SYNTHESE A PREDIVISEUR	4
2.3 SYNTHESE A DIVISEUR FRACTIONNAIRE	7
2.4 MESURE DE PERFORMANCE D'UN SYNTHETISEUR DE FREQUENCE A PLL	9

1. INTRODUCTION

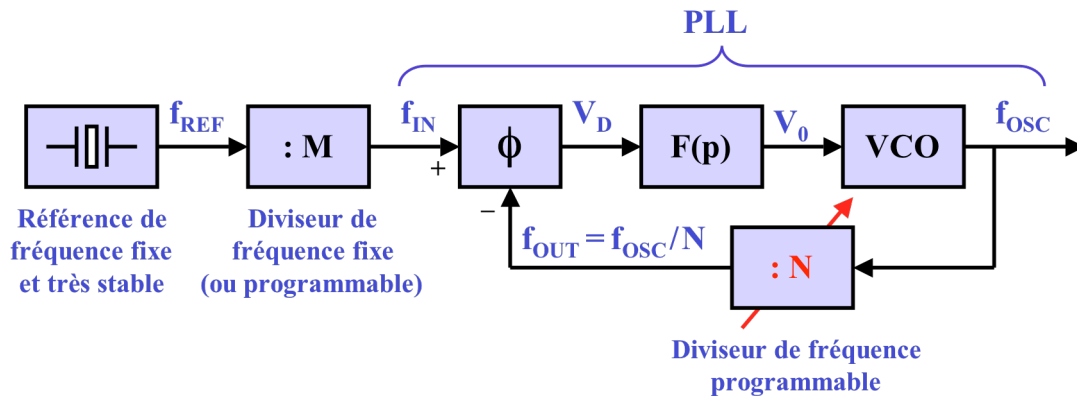
La synthèse de fréquence consiste à générer un signal, généralement sinusoïdal, dont la fréquence est programmable avec la meilleure précision possible. De tels signaux sont utilisés comme référence dans les systèmes d'émission-réception radio, et plus généralement dans les systèmes utilisant une modulation-démodulation.

Deux techniques sont généralement utilisées, la synthèse à base de PLL, dite synthèse indirecte, et la synthèse directe (DDS) exécutée de manière numérique.

2. SYNTHESE INDIRECTE A PLL

2.1 PRINCIPE DE BASE

La structure la plus simple est illustrée par la figure suivante:



Le principe est de réaliser une boucle PLL incluant un diviseur programmable dans la réaction, entre la sortie du VCO et l'entrée – du comparateur de phase. Cette structure de base est appelée multiplicateur de fréquence à PLL, car, lorsque la boucle est verrouillée:

$$f_{OUT} = \frac{f_{OSC}}{N} = f_{IN} \Rightarrow f_{OSC} = N \cdot f_{IN} \quad \text{avec } N \text{ entier}$$

La fréquence d'entrée de la PLL est obtenue par division d'une fréquence de référence donnée par un oscillateur à quartz:

$$f_{IN} = \frac{f_{REF}}{M} \quad \text{avec } M \text{ entier}$$

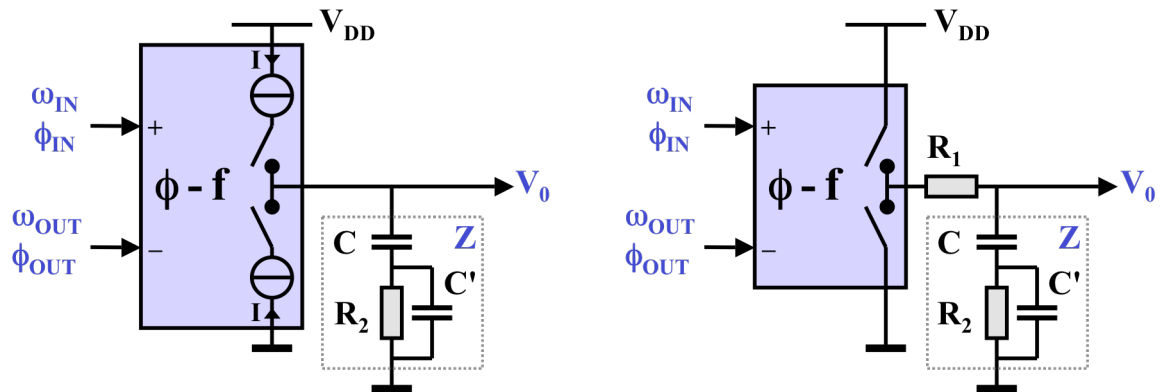
Donc, lorsque la PLL est verrouillée, on a:

$$f_{OSC} = \frac{N}{M} \cdot f_{REF} \quad \text{avec } M \text{ et } N \text{ entiers}$$

Si le facteur de division N est programmable par pas unitaires, la résolution de fréquence est:

$$\Delta f_{OSC} = \frac{f_{REF}}{M} \quad \text{avec } M \text{ entier}$$

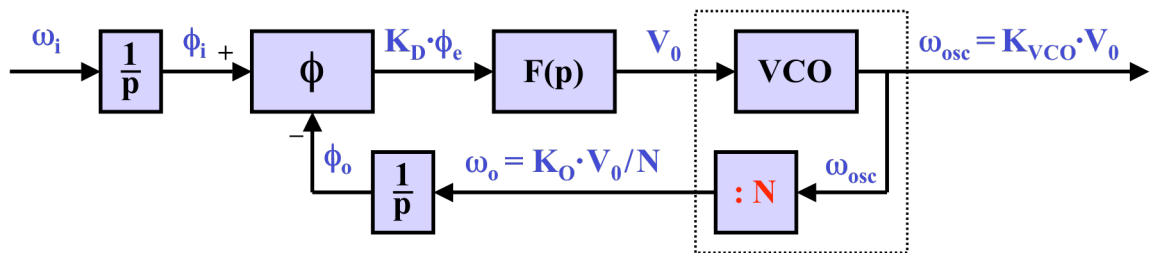
Dans la PLL d'un synthétiseur de fréquence, on utilise généralement un comparateur de phase-fréquence, le plus souvent avec une sortie à pompe de charge complète ou sa version simplifiée, toutes deux représentées ci-dessous.



Le "Lock Range" et le "Capture Range" sont alors égaux et maximums, déterminés par la dynamique en fréquence du VCO ou la dynamique de sortie du filtre (la plus petite des deux).

Dans les cas les plus courants, le filtre est du type intégrateur avec un zéro et un pôle secondaire, ce qui donne une PLL du 3^e ordre.

Le modèle linéaire de la boucle à verrouillage de phase est le suivant:



On peut reprendre toutes les résultats établis dans l'étude de la PLL en remplaçant simplement K_O par K_{VCO}/N . Les fonctions de transfert de cette boucle sont donc:

"gain" de la PLL:
$$\frac{V_0(p)}{\omega_i(p)} = \frac{K_D \cdot F(p)}{p + K_D \cdot F(p) \cdot K_{VCO}/N} = \frac{N}{K_{VCO}} \cdot \frac{K_D \cdot F(p) \cdot K_{VCO}/N}{p + K_D \cdot F(p) \cdot K_{VCO}/N}$$

rapport entré/sortie:
$$\frac{\omega_o(p)}{\omega_i(p)} = \frac{K_D \cdot F(p) \cdot K_{VCO}/N}{p + K_D \cdot F(p) \cdot K_{VCO}/N}$$

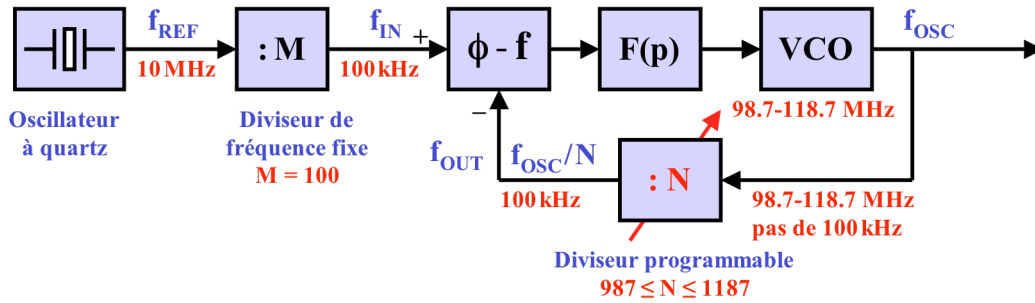
fonction "d'erreur":
$$\frac{\phi_e(p)}{\phi_i(p)} = \frac{p}{p + K_D \cdot F(p) \cdot K_{VCO}/N}$$

Le facteur de division programmable N a donc le même effet sur les paramètres de la PLL (stabilité, bande passante, amortissement) qu'une variation de K_O . Pour que le comportement de la boucle reste satisfaisant, sans modification du filtre en fonction de N , le rapport N_{max}/N_{min} doit rester limité.

2.1.1 Exemple : oscillateur local d'un récepteur FM.

Synthèse de fréquence de 98.7 MHz à 118.7 MHz par pas de 100 kHz (200 fréquences).

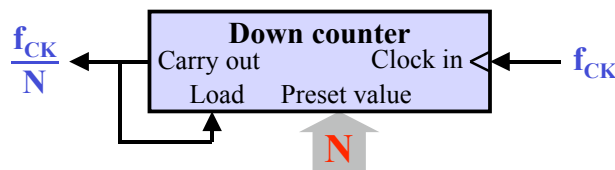
Le schéma de principe, avec les valeurs extrêmes des fréquences et du facteur de division, est le suivant:



L'élément critique, dans cette solution, est le diviseur programmable, dont la fréquence maximum d'entrée admissible doit être de 120 MHz ou plus.

2.2 SYNTHÈSE A PREDIVISEUR

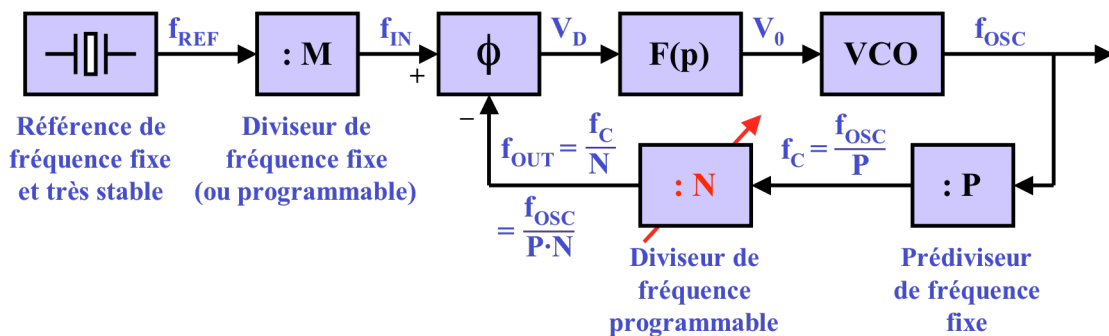
Comme on vient de le voir, lorsque la fréquence du VCO est très élevée (quelques centaines de MHz), il peut être très coûteux d'utiliser une technologie permettant la réalisation du diviseur programmable N capables de travailler à ces cadences élevées. En effet, les diviseurs programmables sont généralement réalisés sous forme d'un compteur à auto-rechargement, selon le schéma de principe suivant:



La limitation en fréquence provient surtout du temps de rechargement du facteur de division N lorsque l'état du compteur vaut zéro ou 1, suivant les modèles, (quelques dizaines de nanosecondes pour les circuits logiques CMOS standards).

2.2.1 Synthétiseur de fréquence à prédiviseur fixe.

Une variante du synthétiseur simple à PLL utilise un *prédiviseur* de fréquence par une valeur P fixe, placé entre le VCO et le diviseur de fréquence par N programmable. Le schéma de principe d'un synthétiseur à prédiviseur fixe est le suivant:



Lorsque la PLL est verrouillée, on a:

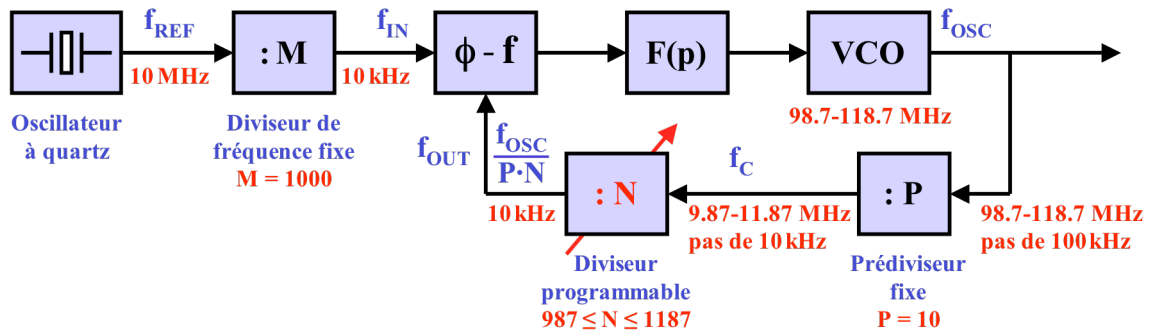
$$f_{OSC} = \frac{P \cdot N}{M} \cdot f_{REF} \quad \text{avec } M, N \text{ et } P \text{ entiers}$$

Si le facteur de division N est programmable par pas unitaires, la résolution de fréquence est:

$$\Delta f_{OSC} = P \cdot \frac{f_{REF}}{M} = P \cdot f_{IN} \quad \text{avec } M \text{ et } P \text{ entiers}$$

Application à l'oscillateur local d'un récepteur FM (même exemple qu'en 2.1.1)

Le schéma de principe, avec les valeurs extrêmes des fréquences et du facteur de division, est le suivant:



C'est la meilleure solution dans ce cas précis.

Comme le montre l'expression de la résolution, et comme on le voit dans l'exemple précédent, le comparateur de phase, et donc la boucle de phase, travaille à une fréquence P fois inférieure à la résolution sur la fréquence générée. Ceci rend le dimensionnement du filtre de boucle très délicat du fait des contraintes suivantes:

- ♦ il est nécessaire de limiter la bande passante du filtre pour atténuer la composante parasite à f_{IN} provenant du détecteur de phase. En effet cette composante résiduelle provoque une modulation parasite de la fréquence générée;
- ♦ avec un amortissement correct voisin de 1, une plus faible bande passante du filtre de boucle entraîne une réduction de la bande passante de la PLL. Le temps verrouillage, lors d'un saut de fréquence important, et le temps d'établissement, lors d'un changement de fréquence sans perte de verrouillage, sont alors augmentés. En résumé, la réponse à un changement de la consigne N est plus lente.

Dans un synthétiseur à prédiviseur fixe, un compromis doit être adopté entre le temps de verrouillage et la résolution sur la fréquence générée. *Plus le pas de fréquence diminue, plus le temps de verrouillage augmente.*

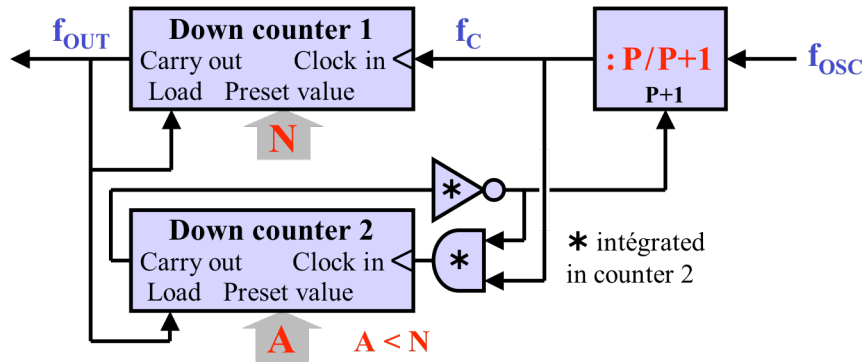
De plus, le bruit de phase du signal généré par multiplication de fréquence à PLL est d'autant plus important que le facteur de division de la boucle est élevé.

Ces problèmes peuvent être atténués par l'utilisation d'un prédiviseur à double modulo, capable de diviser par P ou par $P+1$, à la demande. Une gestion ingénieuse de cette capacité permet d'utiliser une fréquence f_{IN} égale à la résolution Δf_{OSC} , comme dans un synthétiseur sans prédiviseur, et donc de construire des synthétiseurs de fréquence à la fois agiles et à pas fin.

2.2.2 Synthétiseur de fréquence à prédiviseur à double modulo.

Un prédiviseur à double modulo est capable de diviser sa fréquence d'entrée soit par P , soit par $P+1$, suivant l'état d'une entrée de contrôle du modulo. On trouve sur le marché de nombreux circuits-intégrés accomplissant cette fonction (division par 10/11, 16/17, 20/21, 32/33, 64/65, 128/129, etc.). Certains fonctionnent jusqu'à des fréquences de plusieurs GHz.

Ce prédiviseur à double modulo est utilisé dans une structure à deux compteurs programmables dont le schéma est le suivant:



Une période T_{OUT} est formée de N périodes T_C . Durant les A premières périodes T_C , f_{OSC} est prédivisée par $P+1$, donc $T_C = (P+1) \cdot T_{OSC}$. Durant les $(N-A)$ périodes T_C restantes, f_{OSC} est prédivisée par P , donc $T_C = P \cdot T_{OSC}$. Finalement, T_{OUT} vaut:

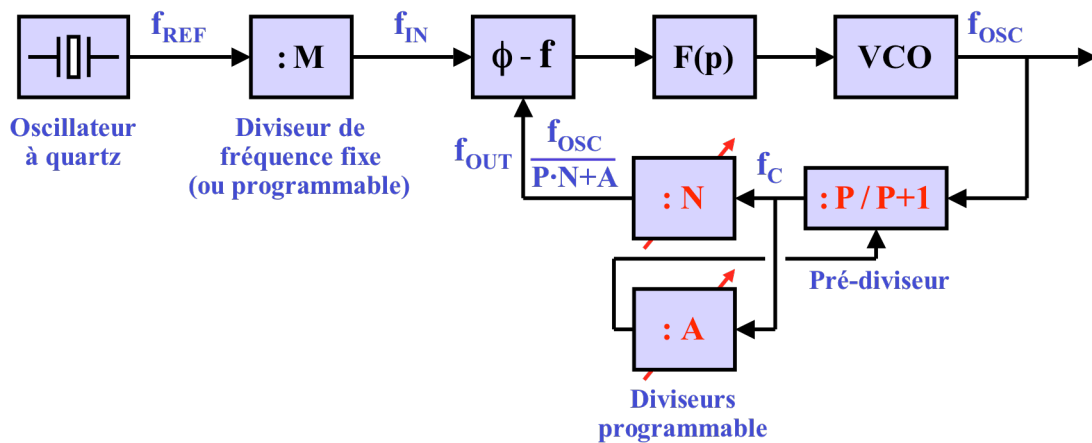
$$T_{OUT} = A \cdot (P+1) \cdot T_{OSC} + (N-A) \cdot P \cdot T_{OSC} = (N \cdot P + A) \cdot T_{OSC} \quad \text{avec : } A < N$$

En fréquence, cela donne la relation:

$$f_{OUT} = \frac{f_{OSC}}{N \cdot P + A} \quad \text{avec : } A < N$$

On constate qu'il est ainsi possible d'avoir un facteur de division programmable par pas de 1, et non plus de P , comme c'est le cas avec un diviseur simple à prédiviseur fixe.

Le schéma de principe du synthétiseur avec prédiviseur à double modulo est le suivant:



Lorsque la PLL est verrouillée $f_{IN} = f_{OUT}$, et f_{OSC} est liée à f_{REF} par:

$$f_{OSC} = (N \cdot P + A) \cdot \frac{f_{REF}}{M} \quad \text{avec : } A < N$$

Si le facteur de division A est programmable par pas unitaires, la résolution de fréquence est:

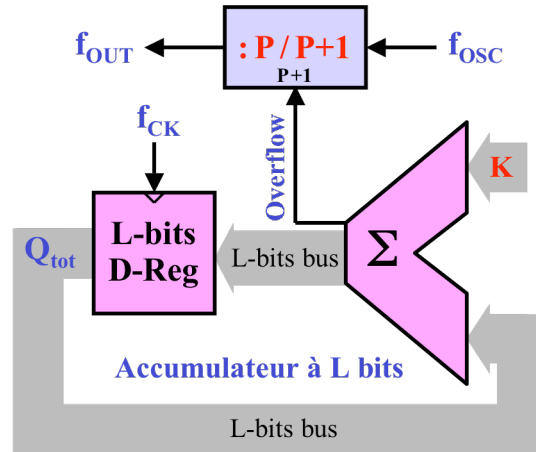
$$\Delta f_{OSC} = \frac{f_{REF}}{M} = f_{IN} \quad \text{avec } M \text{ entier}$$

2.3 SYNTHÈSE A DIVISEUR FRACTIONNAIRE

2.3.1 Principe de base du synthétiseur à diviseur fractionnaire.

Jusqu'à présent, le facteur de division de la boucle était considéré comme un entier. Pour une résolution donnée, l'utilisation d'un facteur de division non-entier permet de réduire le temps de verrouillage et le bruit de phase en utilisant une fréquence f_{IN} plus élevée.

Le principe le plus couramment utilisé est illustré par le schéma suivant:

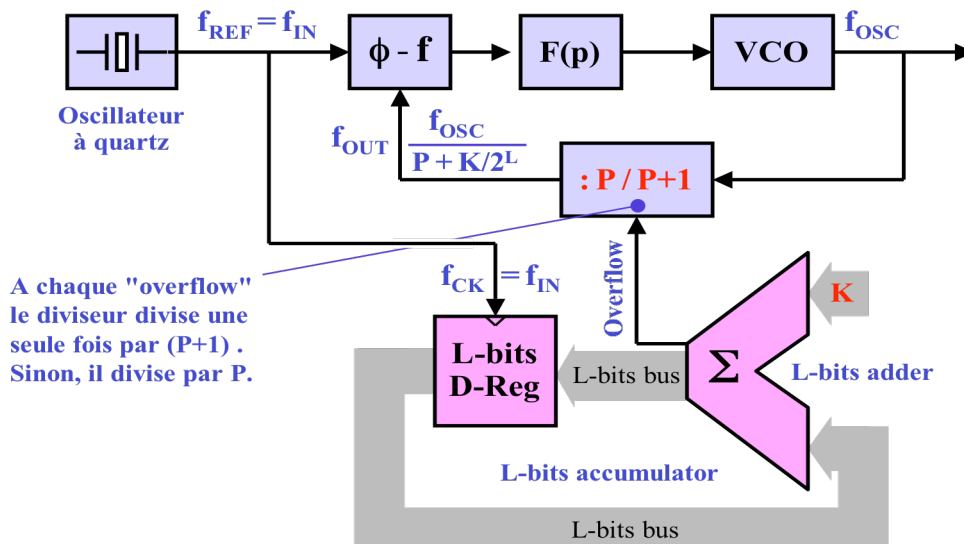


On utilise un accumulateur à L bits dont le contenu est augmenté de K à chaque impulsion d'horloge à la fréquence f_{CK} . Si l'accumulateur était illimité, son contenu (état) augmenterait de $f_{CK} \cdot K$ à chaque seconde. Mais comme sa capacité est limitée à 2^L , une fois arrivé à son maximum, il "déborde" et recommence à zéro. Ainsi, chaque seconde, il se produit $f_{CK} \cdot K / 2^L$ "débordements" (Overflow). Le prédiviseur divise normalement f_{OSC} par P, sauf à chaque Overflow où il divise une seule fois par P+1. On peut aussi considérer que le prédiviseur ignore ou "avale" (swallow) une période T_{OSC} à chaque Overflow. Ainsi, à chaque seconde, le prédiviseur reçoit f_{OSC} périodes en entrée, il en ignore $f_{CK} \cdot K / 2^L$, et divise le nombre restant par P pour donner f_{OUT} périodes en sortie. Il en résulte les relations suivantes:

$$f_{OUT} = \frac{f_{OSC} - f_{CK} \cdot K / 2^L}{P} \quad \text{avec } P, L \text{ et } K \text{ entiers et } K < 2^L$$

$$f_{OSC} = f_{OUT} \cdot P + f_{CK} \cdot K / 2^L \quad \text{avec } P, L \text{ et } K \text{ entiers et } K < 2^L$$

Le schéma de principe d'un synthétiseur de fréquence utilisant un tel diviseur est le suivant:



Lorsque la boucle de phase est verrouillée, $f_{OUT} = f_{IN} = f_{REF} = f_{CK}$, ce qui donne:

$$f_{OSC} = f_{REF} \cdot \left(P + \frac{K}{2^L} \right) \quad \text{avec } P, L \text{ et } K \text{ entiers et } K < 2^L$$

Le facteur de division f_{OSC}/f_{OUT} est fractionnaire, compris entre P et P+1.

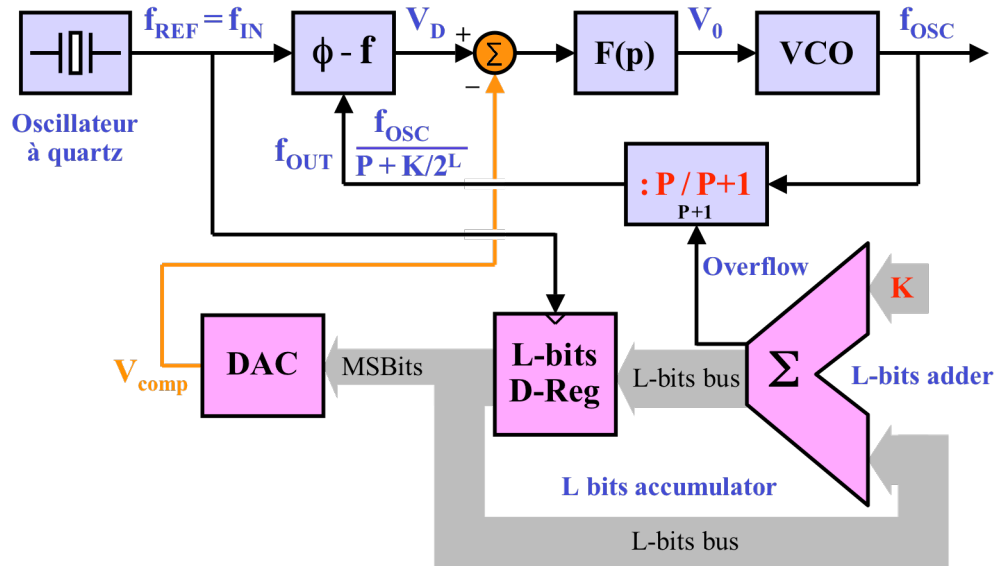
La résolution de fréquence est liée au nombre de bits de l'accumulateur par:

$$\Delta f_{OSC} = f_{REF} \cdot \frac{K}{2^L} \quad \text{avec } L \text{ et } K \text{ entiers et } K < 2^L$$

Avec ce principe, le facteur de division instantané vaut parfois P et parfois P+1. La fréquence instantanée du VCO saute entre $P \cdot f_{REF}$ et $(P+1) \cdot f_{REF}$. Tant que le facteur de division est P, le signal à la sortie du diviseur prend une avance de phase croissante, qui est brusquement annulée lors de la division par (P+1). Ces erreurs de phase répétitives, de fréquence $f_{REF} \cdot K/2^L$, induisent à la sortie du comparateur de phase une composante parasite, dont les "restes", après le filtre de boucle, modulent le VCO en fréquence. Dans les cas où cet effet est gênant, il est possible de le réduire en utilisant une technique appelée *interpolation automatique de phase* ou en remplaçant l'accumulateur par un modulateur Σ - Δ numérique d'ordre élevé.

2.3.2 Synthétiseur à diviseur fractionnaire et interpolation automatique de phase (API)

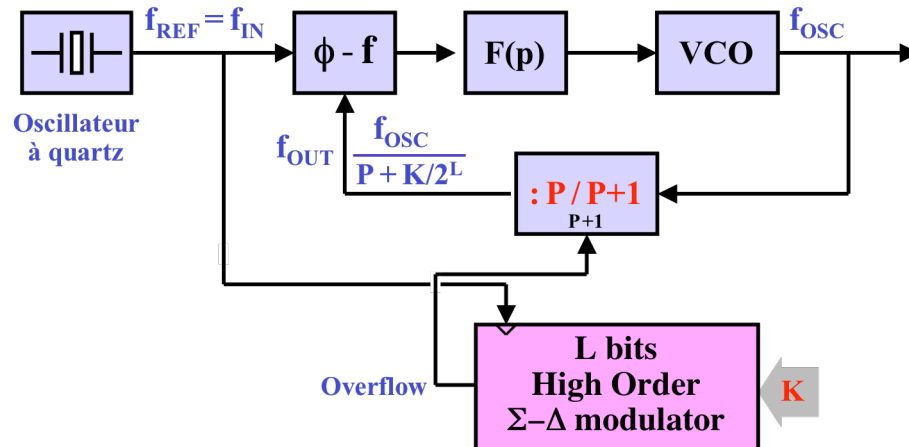
Le contenu numérique de l'accumulateur est une image de l'avance de phase du signal de sortie du diviseur par rapport à celui de référence. Puisque la sortie du détecteur de phase est une tension proportionnelle à l'erreur de phase, il est possible d'y injecter un signal de compensation produit par conversion A/N de l'état de l'accumulateur, comme illustré par le schéma suivant:



Cette technique permet d'abaisser le niveau des parasites à 70 dB en dessous du signal désiré à f_{OSC} . Sa complexité et son coût en font toutefois une technique réservée à des applications à hautes performances, telles que les équipements de test.

2.3.3 Synthétiseur à diviseur fractionnaire à contrôle $\Sigma-\Delta$

L'accumulateur est un modulateur $\Sigma-\Delta$ numérique d'ordre 1. En remplaçant celui-ci par un modulateur d'ordre plus élevé, l'erreur de phase va perdre son caractère périodique, pour être distribuée de façon aléatoire, avec un effet de "Noise Shapping", qui va réduire sa puissance dans les basses fréquences, celles que le filtre de boucle ne peut atténuer. Le schéma d'un tel synthétiseur est le suivant:



Cette solution, bien que complexe, est entièrement numérique, et peut être totalement intégrée dans une technologie CMOS actuelle, ce qui la rend finalement bien moins coûteuse que l'interpolation de phase.

2.4 MESURE DE PERFORMANCE D'UN SYNTHETISEUR DE FREQUENCE A PLL

La qualité d'un synthétiseur de fréquence se mesure au moyen de 4 paramètres.

2.4.1 Bruit de phase

Il s'agit de variations aléatoires de la phase du signal de sortie. Le bruit de phase se traduit par des bandes latérales (de bruit) autour de la fondamentale. Le bruit de phase contribue de ce fait au bruit global du signal transmis par le système qui utilise une telle porteuse ou horloge.

Si le signal idéal est donné par:

$$v(t) = A_0 \cdot \sin(\omega \cdot t)$$

Le signal réel est:

$$v(t) = (A_0 + \varepsilon(t)) \cdot \sin(\omega_0 \cdot t + \phi_n(t))$$

Le bruit $\varepsilon(t)$ en amplitude peut être éliminé par écrêtage, tandis que $\phi_n(t)$ correspond à une incertitude sur la phase, qui se traduit dans le spectre par un élargissement du pied de la raie à la fréquence synthétisée.

Le bruit de phase est défini par:

$$L(f) = 10 \cdot \log\left(\frac{\text{Densité spectrale de Puissance hors porteuse}}{\text{Puissance de la porteuse}}\right), \text{ exprimé en dBc/Hz}$$

2.4.2 Parasites (spurs)

Il s'agit de variations de phase déterministes, se traduisant dans le spectre par des raies parasites à des fréquences fixes distantes de la fréquence synthétisée. Dans le cas des systèmes radio, ces parasites réduisent la qualité du signal ou interfèrent avec d'autres signaux radio. Ils réduisent ainsi la sensibilité des récepteurs.

2.4.3 Erreurs de phase

Dans le cas de systèmes où une horloge est reconstituée à partir d'un signal (transmissions sérielles, par exemple), des erreurs de phase peuvent apparaître sur les flancs de l'horloge reconstituée. Ces erreurs de phase peuvent être estimées à partir du bruit de phase et des parasites.

2.4.4 Temps de réponse

Il s'agit du temps entre un changement de la consigne et le moment où la fréquence du signal généré est égale à la fréquence souhaitée, à une certaine erreur près. Ce temps est essentiellement fonction de la bande passante et de l'amortissement de la PLL.